

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-001257

(43)Date of publication of application : 05.01.1989

(51)Int.Cl.

H01L 21/92
H01L 21/312
H01L 21/60

(21)Application number : 62-155987

(71)Applicant : FUJITSU LTD
FUJITSU TOHOKU ELECTRON:KK

(22)Date of filing : 23.06.1987

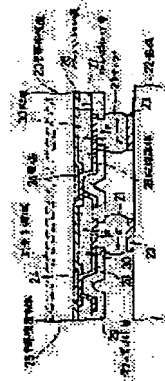
(72)Inventor : HARADA SHIGEKI
NABETA TERUYUKI
SUGIMOTO MASAHIRO
HASEGAWA HITOSHI
SASAKI HIROYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent a passivation film from cracking by providing a coating film of energy beam shielding resin on a region except a region formed with electrodes, providing wiring conductors extended along the coating film from the electrodes, and forming bumps on separate region from the region formed with the electrodes.

CONSTITUTION: Bumps 21 are displaced with respect to electrodes 24, and a polyimide layer 27 is interposed between the bumps 21 and a passivation film 26. A force F is acted on the bumps 21 in case of mounting a device 20, and thermal stresses σ due to thermal hysteresis thereafter are operated reversely to each other. The force F is alleviated by the layer 27, and thermal stress σ is absorbed by the deformation of the layer 27. Alpha-rays 30 irradiated from the bumps 21 are shielded from the layer 27 by the layers 27, 28. Thus, it can effectively prevent the passivation film from cracking and prevent a software error from occurring.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭64-1257

⑪ Int. Cl.

H 01 L 21/92
21/312
21/60

識別記号

庁内整理番号

C-6708-5F
6708-5F
6918-5F

⑬ 公開 昭和64年(1989)1月5日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭62-155987

⑯ 出 願 昭62(1987)6月23日

⑰ 発 明 者 原 田 茂 樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑱ 発 明 者 鍋 田 照 行 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発 明 者 杉 本 正 浩 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

\ ㉑ 出 願 人 株式会社 富士通東北 福島県会津若松市門田町大字徳久字竹之元1833番地
エレクトロニクス㉒ 代 理 人 弁理士 井 桁 貞一
最終頁に続く

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体装置本体(25)表面上の電極(24)が形成された領域を除く領域にエネルギー絶縁樹脂からなる被覆膜(27)を設けると共に、

該電極より該被覆膜(27)上に沿って延出する配線導体(28)を設け、

該被覆膜上の配線導体(28)の電極が形成された領域とは別の領域に、パンプ(21)を設けてなる構成としたことを特徴とする半導体装置。

3. 発明の詳細な説明

(概要)

本発明はフリップチップである半導体装置において、半導体装置本体にエネルギー絶縁樹脂からなる被覆膜を設けると共に電極より配線導体を引き出してこの配線導体上にパンプを設け、パンプが電極に対して食い違つて被覆膜に対向して配された構成とし、パッシベーション膜のクラック

及びソフトエラーが生じないようにしたものである。

(産業上の利用分野)

本発明は半導体装置、特にフリップチップである半導体装置に関する。

特にフェイスダウンで実装される半導体装置では、実装時に受ける圧力及びその後の熱応力によりパッシベーション膜にクラックが生じ易く、且つPb-Sn パンプからのα線によりソフトエラーが生じ易い。従つて、これらの障害が生じないようにする必要がある。

(従来の技術)

第4図は従来の半導体装置(フリップチップ)

1が基板2上に実装されている状態を示す。図中、3は半導体装置本体、4はA2電極、5はパッシベーション膜、6はA2電極4上のバリアメタルである。7はPb-Sn パンプであり、第5図に併せて示すように、電極4と一致した位置に配設

されている。

素子1は、パンプ7を基板2上の対応する電極8と接続されてフェイスダウンで実装されている。

(発明が解決しようとする問題点)

実装の際にパンプ7には力Fがかかる。この力Fはバッシベーション膜5に直接作用する。また実装後は熱履歴によりパンプ7には横方向に熱応力 σ が作用する。この熱応力もバッシベーション膜5に直接作用する。この結果、膜5にクラックが生じ、保護が不完全となることがあった。

またPb-Snパンプ7からの波線で表わす α 線9が素子本体3内に侵入して素子領域10に及び、これらに影響を及ぼして、ソフトエラーが起きてしまう虞れもあった。そこで、実際には、第6図に併せて示すように、パンプ7の周りの部分を除いた部分を素子領域10として、 α 線9の影響が素子領域10に及びにくいようにしている。

しかし、このようにすると、パンプ7に対向する部分及びこの周りの部分11がデッドスペース

となり、素子部の集積度が制限を受け、素子1のサイズがその分大になってしまう。

なお、デッドスペース11は、力Fが素子部に作用するのを避けるためでもある。

また電極4はデッドスペース11内にあるため、電極4と素子部との間には余分な内部配線が必要となり、内部配線が複雑となる。

(問題点を解決するための手段)

本発明の半導体装置は、半導体装置本体表面上の電極が形成された領域を除く領域にエネルギー線遮蔽樹脂からなる被覆膜を設けると共に、

該電極より該被覆膜上に沿って延出する配線導体を設け、

該被覆膜上の配線導体の電極が形成された領域とは別の領域に、パンプを設けてなる構成としたものである。

(作用)

パンプと装置本体との間にあるポリイミド等の

エネルギー線遮蔽樹脂からなる被覆膜により、実装の際及びその後にパンプよりバッシベーション膜に及ぶ力を緩和させると共に、 α 線を遮蔽する。これによりバッシベーション膜のクラックが確実に防止されると共に、デッドスペースが無くなって素子領域が拡大する。

(実施例)

第1図は本発明の一実施例による半導体装置(フリップチップ)20を示す。装置20は、パンプ21を基板22上の電極23と接続されてフェイスダウンで実装されている状態を示す。

24は電極であり、半導体装置本体25の下面に形成してある。

26はバッシベーション膜であり、装置本体25の下面に電極24を除いて形成してある。

27は第1のポリイミド層であり、所定の厚さt(例えば20~30 μ)を有し、バッシベーション膜26上に電極24を除いて形成してある。

28は配線導体であり、第2図及び第3図に併

せて示すように、一端を電極24に接続されて、第1のポリイミド層27上にパンプ形成予定個所の方向に延出して形成してある。

29は第2のポリイミド層であり、配線導体28のうちパンプ形成予定個所を除いて、配線導体28上及び第1のポリイミド層27上に形成してある。パンプ21は配線導体28の他端近傍のパンプ形成予定個所に形成してある。

第2のポリイミド層29は、主に、配線導体28を保護するためと、パンプ形成のためにある。

上記構成の装置20によれば、各パンプ21は電極24に対してずれており、且つ各パンプ21と装置本体25の底面との間、厳密には各パンプ21とバッシベーション膜26との間に第1のポリイミド層27が介在している。この構成により、以下に述べる効果を有する。

まず、第1のポリイミド層27は遮断機能を有する。第4図に示す従来の装置1の場合と同様に、パンプ21には、装置20の実装の際に力Fが作用し、及びその後の熱履歴による熱応力 σ が互い

に逆向きに作用する。

この力Fはポリイミド層27をその厚み方向に伝わる間に緩和され、バッシベーション膜26には小さな力しか作用しない。また熱応力は、ポリイミド層27の面方向へのずれるような変形により吸収され、膜26には作用しない。

従って、バッシベーション膜26に作用する力は僅かなものとなり、膜26にクラックは生ぜず、装置本体25の保護が損なわれることはない。

次に、上記のポリイミド層27はα線を遮蔽する機能を有する。

各パンプ21からは、第1図中放線で示すようにα線30が出る。このα線30は、第1のポリイミド層27により、又は第1、第2のポリイミド層27、28により遮蔽され、装置本体25内には侵入しない。従って、ソフトエラーの発生の虞れなく、第3図中放線で囲まれる領域全体を素子領域31とすることが出来る。これにより、従来のようなデッドスペースが皆無となり、その分素子の集積度が従来に比べて大となり、素子数が

同じであれば装置本体25のサイズを小さくでき、装置本体25のサイズが同じであれば素子の数を増やすことが出来る。

次に配線導体28の作用について説明する。

第3図に示すように、配線導体28は任意の方向に任意の長さで形成できるため、電極24をパンプ21の配図に拘束されずに配置出来、これにより素子のレイアウトの自由度を上げることが出来る。

また第1図に示すように素子を電極24の真上に設けることが可能となり、その分、面倒な内部配線を省略出来、装置本体25の内部構造を簡単化出来る。

なお、上記パンプ21はAu製でもよい。

(発明の効果)

本発明によれば、パンプと半導体装置本体との間にポリイミド等のエネルギー線遮蔽樹脂からなる被覆膜を設け、これが緩衝作用をしてバッシベーション膜にクラックが生ずることを確実に防止

することが出来バッシベーション膜による保護効果が損なわれることを防止することが出来る。また上記ポリイミド等はα線等のエネルギー線を遮蔽する機能を有するので、ソフトエラーの発生を防止出来、しかもデッドスペース無く、全体を素子領域とし得、素子集積度を向上し得る。また、配線導体により、電極はパンプに対してずれており、これにより電極の真上の部分にも素子を配することが出来、内部配線をその分省略出来、素子本体の内部構造を簡単化し得る。

4. 図面の簡単な説明

第1図は本発明の半導体装置の一実施例の実装状態における要部の断面図、

第2図は第1図中第2のポリイミド層を省略して示す半導体装置の底面図、

第3図は第2のポリイミド層を省略してパンプと電極との配置及び素子領域を示す半導体装置の全体の底面図、

第4図は従来の半導体装置の1例の実装状態における一部の断面図、

第5図は第4図中半導体装置の底面図、

第6図はパンプと電極との配置及び素子領域を示す半導体装置全体の底面図である。

図において、

20は半導体装置、

21はPb-Snパンプ、

24は電極、

25は半導体装置本体、

26はバッシベーション膜、

27は第1のポリイミド層、

28は配線導体、

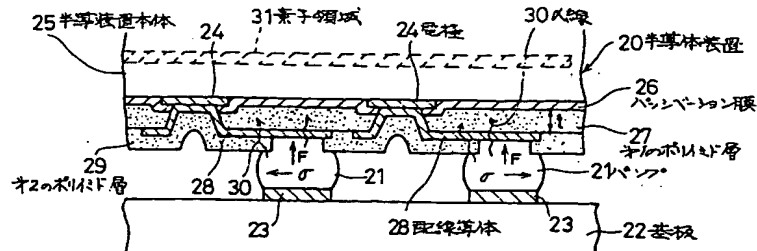
29は第2のポリイミド層、

30はα線、

31は素子領域である。

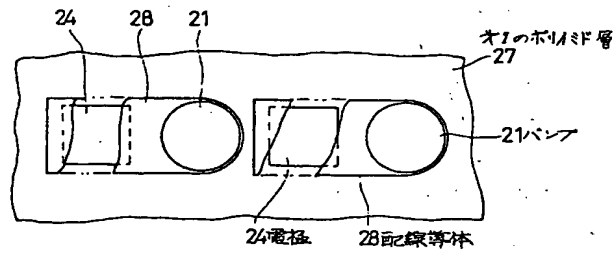
代理人 弁理士 井 坂 貞 一





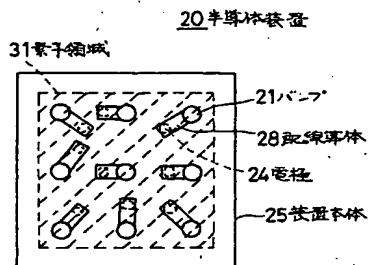
本発明の半導体装置の一実施例の要部の断面図

● 1 回



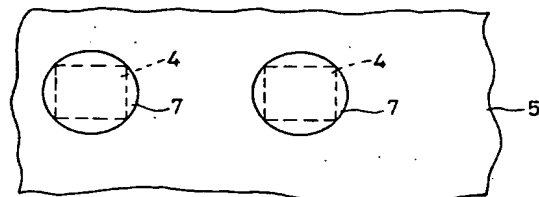
第1図中第2のポリイミド層を省略して示す底面図

第 2 章



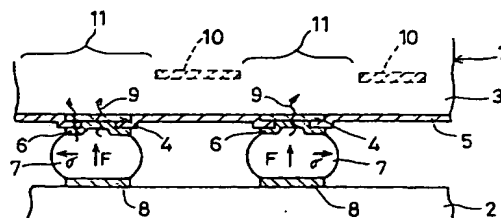
第2のポリイミド層を省略してバンプと電極との配置及び素子領域を示す半導体装置全体の底面図

图 3-2



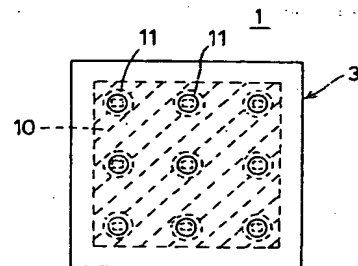
第4図の半等体装置の底面図

第 5 章



従来の半等体装置の一例の実装状態における
一部の断面図

第 4 页



バンパと電極との配置及び素子領域
を示す半導体装置全体の断面図

第 6 章

第1頁の続き

⑦発 明 者 長 谷 川 齊

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑧発 明 者 佐 々 木 浩 幸

福島県会津若松市門田町大字徳久字竹之元1833番地 株式
会社富士通東北エレクトロニクス内